

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-338602

(43)Date of publication of application : 06.12.1994

(51)Int.Cl.

H01L 27/115

H01L 29/788

H01L 29/792

(21)Application number : 05-126958

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 28.05.1993

(72)Inventor : WATANABE TOSHIHARU

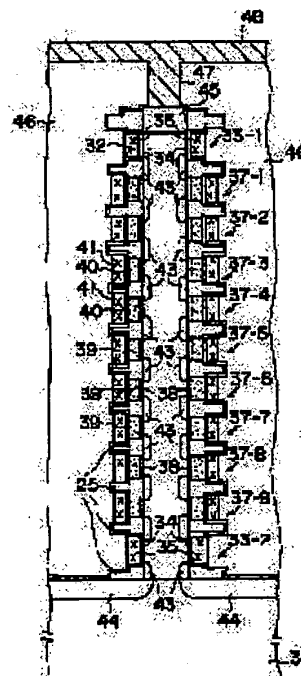
(54) SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To enable the integration degree in the next generation to be attained without depending upon the improvement in the photo-etching technology by a method wherein memory cells are three-dimensionally formed on the sidewall of a semiconductor post formed on a semiconductor substrate.

CONSTITUTION: A first conductivity type semiconductor post 32 is formed on a first conductivity type semiconductor substrate 31. An element separating insulating film 25 separating the semiconductor post 32 into plural stages is formed on the semiconductor post 32. Selective gates 33-1, 33-2 are formed respectively on the topmost stage and the lowermost stage of the element separating film 25 while memory cells 37-1-39-9

are formed on respective stages between said two stages. The selective gates 33-1, 33-2 are respectively provided with polysilicon electrodes 35 on the sidewall of the semiconductor post 32 through the intermediary of another insulating film 34. Accordingly, respective memory cells of NAND type EEPROM are formed on the semiconductor post 32 extending in the perpendicular direction to the semiconductor substrate 31 so that the memory cells can be integrated with markedly high degree compared with those flatly formed on the conventional substrate.



LEGAL STATUS

[Date of request for examination] 28.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338602

(43) 公開日 平成6年(1994)12月6日

(51) Int. Cl.⁵

識別記号 片内整理番号

P I

技術表示箇所

H 0 1 L 27/115

29/788

29/792

7210-4M

H 0 1 L 27/ 10

4 3 4

29/ 78

3 7 1

審査請求 未請求 請求項の数13 O L (全 14 頁)

(21) 出願番号 特願平5-128958

(22) 出願日 平成5年(1993)5月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渡辺 寿治

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

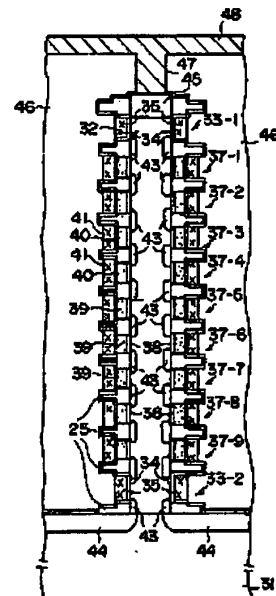
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【目的】次世代のLSIに対応できる集積度の向上を図る。

【構成】半導体基板31上には、半導体柱32が形成されている。半導体柱32は、素子分離絶縁膜25により複数段に分けられている。この複数段を構成する素子分離絶縁膜25の最上段と最下段には、選択ゲート33-1、33-2が形成される。最上段と最下段の間の各段には、メモリセル37-1~37-9が形成される。メモリセル37-1~37-9のフローティングゲート39は、半導体柱32を取り囲むリング状に形成される。選択ゲート33-1、33-2の選択ゲート線35及びメモリセル37-1~37-9のコントロールゲート41は、各段において列方向に帯状に形成される。



【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板上に形成される半導体柱と、前記半導体柱に複数段を形成する素子分離絶縁膜と、前記素子分離絶縁膜の間であって、前記複数段のうち最上段と最下段にそれぞれ形成される選択ゲートと、前記最上段と最下段の間の各段にそれぞれ形成されるメモリセルとを具備することを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置において、前記選択ゲートは、前記半導体柱の側壁に第一の絶縁膜を介して形成される第一の導電膜を有し、前記メモリセルは、前記半導体柱の側壁にトンネル絶縁膜を介して形成され、フローティングゲートとして機能する第二の導電膜、及び前記第二の導電膜上に第二の絶縁膜を介して形成され、コントロールゲートとして機能する第三の導電膜を有することを特徴とする半導体記憶装置。

【請求項3】 請求項2に記載の半導体記憶装置において、前記フローティングゲートとして機能する第二の導電膜は、各段において、前記半導体柱を取り巻くリング状に形成されていることを特徴とする半導体記憶装置。

【請求項4】 請求項1に記載の半導体記憶装置において、前記素子分離絶縁膜の間であって、前記複数段のうち最上段と最下段の高さは、その最上段と最下段の間の各段の高さよりも高くなるように構成され、その結果、前記選択ゲートのゲート長は、前記メモリセルのゲート長よりも長くなっていることを特徴とする半導体記憶装置。

【請求項5】 請求項1に記載の半導体記憶装置において、前記半導体柱の側壁であって、前記複数段を構成する前記素子分離絶縁膜の各段に隣接してリング状に形成されるソース・ドレイン拡散層と、前記半導体基板中に形成され、前記最下段の選択ゲートのソース・ドレイン拡散層に接続されるソース拡散層と、前記半導体柱の最上段に形成され、前記最上段の選択ゲートのソース・ドレイン拡散層に接続されるドレイン拡散層とを有することを特徴とする半導体記憶装置。

【請求項6】 請求項5に記載の半導体記憶装置において、前記半導体柱は、前記半導体基板上に行列状に複数形成され、行方向の半導体柱における当該ドレイン拡散層に共通に接続するビット線を有することを特徴とする半導体記憶装置。

【請求項7】 請求項1に記載の半導体記憶装置において、前記半導体柱は、前記半導体基板上に行列状に複数形成され、前記複数段を構成する素子分離絶縁膜の各段は、列方向の半導体柱に共通して棚状に形成され、前記選択ゲートの第一の導電膜及び前記コントロールゲートとして機能する第三の導電膜は、それぞれ列方向の半導体柱に共通し、かつ、各段において、それぞれ列方向に帯状に形成されていることを特徴とする半導体記憶装置。

【請求項8】 請求項7に記載の半導体記憶装置において、前記選択ゲートの第一の導電膜及び前記コントロールゲートとして機能する第三の導電膜は、それぞれ列方向の端部において階段状に形成され、その階段状の部分にコンタクト部が設けられていることを特徴とする半導体記憶装置。

【請求項9】 半導体基板上に第一の絶縁膜を形成し、前記第一の絶縁膜上に第二の絶縁膜を形成する第一の工程と、

前記第二の絶縁膜上に、少なくとも1回以上、以下の(1)、(11)の工程、即ち(i) 第三の絶縁膜を形成する工程、及び(ii) 前記第三の絶縁膜上に第四の絶縁膜を形成する工程を繰り返し実行することにより得られる積層膜を形成する第二の工程と、

前記積層膜上に第五の絶縁膜を形成し、前記第五の絶縁膜上に第六の絶縁膜を形成する第三の工程と、前記第六の絶縁膜上に第七の絶縁膜を形成し、前記第七の絶縁膜上に第八の絶縁膜を形成する第四の工程と、前記第八の絶縁膜の表面から前記半導体基板まで達する行列状の複数の穴を形成する第五の工程と、選択エピタキシャル成長法により、各々の穴内に、半導体を成長させ、行列状の半導体柱を形成する第六の工程と、

前記第一乃至第八の絶縁膜からなる多層膜をエッチングし、半導体柱の各列の間であって、列方向に伸びるストライプ状の溝を形成する第七の工程と、

前記第二、第四、第六及び第八の絶縁膜を選択的にエッチングすることにより、残存した前記第一、第三、第五及び第七の絶縁膜であって、列方向の半導体柱に支えられた複数段の棚状のものを形成する第八の工程と、

前記複数段のうち、前記第一の絶縁膜と前記第三の絶縁膜の間の最下段及び前記第五の絶縁膜と前記第七の絶縁膜の間の最上段に選択ゲートを形成し、前記最下段と最上段の間の各段にメモリセルを形成する第九の工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項10】 請求項9に記載の半導体記憶装置の製造方法において、

前記第一の工程は、前記第二の絶縁膜の列方向の端部を部分的にエッチングする工程を有し、

前記第二の工程は、少なくとも1回以上、前記(i)、(ii)の工程及び(iii)前記第四の絶縁膜の列方向の端部を部分的にエッチングする工程を繰り返し実行するものであり、

前記第三の工程は、前記第六の絶縁膜の列方向の端部を部分的にエッチングする工程を有し、

前記第四の工程は、前記第八の絶縁膜の列方向の端部を部分的にエッチングする工程を有しており、

その結果、前記列方向の端部では、前記第二、第四、第六及び第八の絶縁膜は、階段状に形成されることを特徴とする半導体記憶装置の製造方法。

【請求項11】 請求項9に記載の半導体記憶装置の製造方法において、

前記第五の工程と前記第六の工程の間に、以下のa～eの工程、即ち

a. 等方性エッチングにより、各穴内の前記第一、第三、第五及び第七の絶縁膜を所定量だけエッチングし、後退部を形成する工程と、

b. 等方性エッチングにより、各穴内の前記第二、第四、第六及び第八の絶縁膜を所定量だけエッチングし、前記後退部を拡張する工程と、

c. 前記後退部を含む前記各穴の側壁に第九の絶縁膜を形成する工程と、

d. 前記第九の絶縁膜上に、前記後退部を埋め込み、不純物を含む第十の絶縁膜を形成する工程と、

e. 等方性エッチングにより、前記第九及び第十の絶縁膜を前記各穴内の後退部にのみ残存させる工程を具備し、

前記第六の工程と前記第七の工程の間に、熱処理を行い、前記第十の絶縁膜中の不純物を当該半導体柱の側壁に拡散させ、各半導体柱の側壁にリング状のソース・ドレイン領域を形成する工程を具備することを特徴とする半導体記憶装置の製造方法。

【請求項12】 請求項9に記載の半導体記憶装置の製造方法において、

前記第二及び第六の絶縁膜の膜厚は、前記第四の絶縁膜の膜厚よりも大きく設定されており、

前記第九の工程は、各半導体柱の側壁に第十一の絶縁膜を形成する工程と、全面に、第一の導電膜を形成する工程と、

等方性エッチングにより、前記第十一の絶縁膜及び前記第一の導電膜を所定量だけエッチングし、前記第十一の絶縁膜及び前記第一の導電膜を前記最下段と最上段を除く各段にのみ残存させ、前記最下段と最上段を除く各段にのみ当該半導体柱を取り巻くリング状のフローティングゲートを形成する工程と、

全面に、第十二の絶縁膜を形成する工程と、

全面に、第二の導電膜を形成する工程と、

等方性エッチングにより、前記第二の導電膜を所定量だけエッチングし、当該第二の導電膜を、前記複数段を構成する素子分離絶縁膜の各段に残存させ、前記最下段と最上段に列方向に伸びる帯状の選択ゲート線を形成し、前記最下段と最上段の間の各段に列方向に伸びる帯状のワード線を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項13】 請求項9に記載の半導体記憶装置の製造方法において、

前記第一の工程の前に、前記半導体基板中にソース領域を形成する工程を具備し、

前記第九の工程の後に、各半導体柱の最上部にドレイン領域を形成する工程と、行方向の半導体柱のドレイン拡

散層に接続するビット線を形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、特にNAND型EEPROMのセル構造の改良に関する。

【0002】

【従来の技術】 従来のNAND型EEPROMのセル構造について説明する。図21(a)～(c)は、従来のNAND型EEPROMのセル構造を示している。なお、同図(a)は、当該セル構造の平面図、同図(b)は、同図(a)のI-I'線に沿う断面図、同図(c)は、同図(a)のII-II'線に沿う断面図である。

【0003】 図21(a)～(c)において、第一導電型の半導体基板11上には、第二導電型のウエル12が形成されている。ウエル12上には、素子分離絶縁膜13が形成されている。素子領域の一部には、トンネル酸化膜14が形成されている。トンネル酸化膜14上には、フローティングゲートとして機能する第一のポリシリコン電極15が形成されている。第一のポリシリコン電極15上には、絶縁膜16が形成されている。絶縁膜16上には、ワード線及びコントロールゲートとして機能する第二のポリシリコン電極17が形成されている。さらに、素子領域において各々の第一のポリシリコン電極15の間には、ソース・ドレイン拡散層18が形成されている。

【0004】 一箇のセルは、一点破線Aで囲んだ部分から構成され、複数個(例えば10個)のセルが直列接続されている。両端にあるセル20は、選択ゲートとしての機能を果たすものである。従って、当該セル20の第一のポリシリコン電極15と第二のポリシリコン電極17は、図示しない配線によって短絡されている。

【0005】 選択ゲート(セル20)の間にある複数個(例えば8個)のセル21は、各々が1ビット分の記憶を蓄えることができる実際のセルである。ビット線19は、一端側にある選択ゲート(セル20)の拡散層18に接続されている。このようなセル構造において、一般に、ビット線19に接続するセル20側は、ドレイン側と呼ばれる。

【0006】

【発明が解決しようとする課題】 上記NAND型EEPROMのセル構造は、半導体基板上における単位面積当たりのセル数(ビット数)を向上させるものとして期待されるものである。しかし、半導体記憶装置における集積度の向上は止まるところを知らず、次世代における集積度を達成するためのセル構造が要望されている。

【0007】 本発明は、上記要望に鑑みてなされたもので、その目的は、写真蝕刻技術の改善にたよることなく、次世代における集積度を達成することが可能な半導体記憶装置及びその製造方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体記憶装置は、半導体基板と、前記半導体基板上に形成される半導体柱と、前記半導体柱に複数段を形成する素子分離絶縁膜と、前記素子分離絶縁膜の間であって、前記複数段のうち最上段と最下段にそれぞれ形成される選択ゲートと、前記最上段と最下段の間の各段にそれぞれ形成されるメモリセルとを備える。

【0009】前記選択ゲートは、前記半導体柱の側壁に第一の絶縁膜を介して形成される第一の導電膜を有する。前記メモリセルは、前記半導体柱の側壁にトンネル絶縁膜を介して形成され、フローティングゲートとして機能する第二の導電膜、及び前記第二の導電膜上に第二の絶縁膜を介して形成され、コントロールゲートとして機能する第三の導電膜を有する。そして、前記第一の絶縁膜と前記第二の絶縁膜、及び前記第一の導電膜と前記第三の導電膜は、それぞれ同一の材料から構成されている。

【0010】前記フローティングゲートとして機能する第二の導電膜は、各段において、前記半導体柱を取り巻くリング状に形成されている。前記素子分離絶縁膜の間であって、前記複数段のうち最上段と最下段の高さは、その最上段と最下段の間の各段の高さよりも高くなるように構成されている。その結果、前記選択ゲートのゲート長は、前記メモリセルのゲート長よりも長くなっている。

【0011】前記半導体柱の側壁であって、前記複数段を構成する前記素子分離絶縁膜の各段に隣接してリング状に形成されるソース・ドレイン拡散層と、前記半導体基板中に形成され、前記最下段の選択ゲートのソース・ドレイン拡散層に接続されるソース拡散層と、前記半導体柱の最上部に形成され、前記最上段の選択ゲートのソース・ドレイン拡散層に接続されるドレイン拡散層とを有する。

【0012】前記半導体柱は、前記半導体基板上に行列状に複数形成され、行方向の半導体柱における当該ドレイン拡散層に共通に接続するビット線とを有する。前記半導体柱は、前記半導体基板上に行列状に複数形成され、前記複数段を構成する素子分離絶縁膜の各段は、列方向の半導体柱に共通して棚状に形成される。前記選択ゲートの第一の導電膜及び前記コントロールゲートとして機能する第三の導電膜は、それぞれ列方向の半導体柱に共通し、かつ、各段において、それぞれ列方向に帯状に形成されている。

【0013】前記選択ゲートの第一の導電膜及び前記コントロールゲートとして機能する第三の導電膜は、それぞれ列方向の端部において階段状に形成され、その階段状の部分にコンタクト部が設けられている。

【0014】本発明の半導体記憶装置の製造方法は、まず、第一の工程として、半導体基板上に第一の絶縁膜を

形成し、前記第一の絶縁膜上に第二の絶縁膜を形成する。次に、第二の工程として、前記第二の絶縁膜上に、少なくとも1回以上、次の (i)、(ii) の工程、即ち (i)

第三の絶縁膜を形成する工程、及び (ii) 前記第三の絶縁膜上に第四の絶縁膜を形成する工程を繰り返し実行することにより得られる積層膜を形成する。次に、第三の工程として、前記積層膜上に第五の絶縁膜を形成し、前記第五の絶縁膜上に第六の絶縁膜を形成する。次に、第四の工程として、前記第六の絶縁膜上に第七の絶縁膜を形成し、前記第七の絶縁膜上に第八の絶縁膜を形成する。次に、第五の工程として、前記第八の絶縁膜の表面から前記半導体基板まで達する行列状の複数の穴を形成する。次に、第六の工程として、選択エビタキシャル成長法により、各々の穴内に、半導体を成長させ、行列状の半導体柱を形成する。次に、第七の工程として、前記第一乃至第八の絶縁膜からなる多層膜をエッチングし、半導体柱の各列の間であって、列方向に伸びるストライプ状の溝を形成する。次に、第八の工程として、前記第二、第四、第六及び第八の絶縁膜を選択的にエッチングすることにより、残存した前記第一、第三、第五及び第七の絶縁膜であって、列方向の半導体柱に支えられた複数段の棚状のものを形成する。次に、第九の工程として、前記複数段のうち、前記第一の絶縁膜と前記第三の絶縁膜の間の最下段及び前記第五の絶縁膜と前記第七の絶縁膜の間の最上段に選択ゲートを形成し、前記最下段と最上段の間の各段にメモリセルを形成するものである。

【0015】前記第一の工程は、前記第二の絶縁膜の列方向の端部を部分的にエッチングする工程を有し、前記第二の工程は、少なくとも1回以上、前記 (i)、(ii) の工程及び (iii) 前記第四の絶縁膜の列方向の端部を部分的にエッチングする工程を繰り返し実行するものであり、前記第三の工程は、前記第六の絶縁膜の列方向の端部を部分的にエッチングする工程を有し、前記第四の工程は、前記第八の絶縁膜の列方向の端部を部分的にエッチングする工程を有している。そして、前記列方向の端部では、前記第二、第四、第六及び第八の絶縁膜は、階段状に形成されるものである。

【0016】前記第五の工程と前記第六の工程の間に、以下の工程を含んでいる。まず、等方性エッチングにより、各穴内の前記第一、第三、第五及び第七の絶縁膜を所定量だけエッチングし、後退部を形成する。次に、等方性エッチングにより、各穴内の前記第二、第四、第六及び第八の絶縁膜を所定量だけエッチングし、前記後退部を拡張する。次に、前記後退部を含む前記各穴の側壁に第九の絶縁膜を形成する。次に、前記第九の絶縁膜上に、前記後退部を埋め込み、不純物を含む第十の絶縁膜を形成する。次に、等方性エッチングにより、前記第九及び第十の絶縁膜を前記各穴内の後退部にのみ残存させる。

【0017】また、前記第六の工程と前記第七の工程の間に、熱処理を行い、前記第十の絶縁膜中の不純物を当該半導体柱の側壁に拡散させ、各半導体柱の側壁にリング状のソース・ドレイン領域を形成する工程を含んでいる。

【0018】前記第二及び第六の絶縁膜の膜厚は、前記第四の絶縁膜の膜厚よりも大きく設定されている。そして、前記第九の工程は、以下の工程を含んでいる。まず、各半導体柱の側壁に第十一の絶縁膜を形成する。次に、全面に、第一の導電膜を形成する。次に、等方性エッチングにより、前記第十一の絶縁膜及び前記第一の導電膜を所定量だけエッチングし、前記第十一の絶縁膜及び前記第一の導電膜を前記最下段と最上段を除く各段にのみ残存させ、前記最下段と最上段を除く各段にのみ当該半導体柱を取り巻くリング状のフローティングゲートを形成する。次に、全面に、第十二の絶縁膜を形成する。次に、全面に、第二の導電膜を形成する。次に、等方性エッチングにより、前記第二の導電膜を所定量だけエッチングし、当該第二の導電膜を、前記複数段を構成する素子分離絶縁膜の各段に残存させ、前記最下段と最上段に列方向に伸びる帯状の選択ゲート線を形成し、前記最下段と最上段の間の各段に列方向に伸びる帯状のワード線を形成する。

【0019】前記第一の工程の前に、前記半導体基板中にソース領域を形成する工程を有している。また、前記第九の工程の後に、各半導体柱の最上部にドレイン領域を形成する工程と、行方向の半導体柱のドレイン拡散層に接続するビット線を形成する工程とを有している。

【0020】

【作用】上記構成によれば、半導体基板には半導体柱が形成されている。従って、従来、平面的に形成されていたメモリセルを、当該半導体柱の側壁に立体的に形成することができる。これにより、従来に比べ、格段に、集積度の向上（単位面積当りのセル数の増大）を図ることができ、写真蝕刻技術の改善にたよることなく、次世代におけるLSIに貢献することができる。

【0021】また、当該セル構造を提供するにあたっては、半導体柱を利用することにより、自己整合的な工程を達成することができるため、簡単に、上記構造を提供できる。しかも、製造工程中、等方性エッチングが主として用いられるため、加工も行い易い。

【0022】

【実施例】以下、図面を参照しながら、本発明の半導体記憶装置及びその製造方法について詳細に説明する。まず、本発明の半導体記憶装置について説明する。

【0023】図1～図3は、本発明の一実施例に係わるNAND型EEPROMのセル構造を示すものである。なお、図1は、当該セル構造の平面図、図2は、図1のIII-III'線に沿う断面図、図3は、図1のIV-IV'線に沿う断面図である。

【0024】第一導電型の半導体基板31上には、第一導電型の半導体柱32が形成されている。この半導体柱32は、例えば半導体基板31上に行列状に形成される。また、半導体柱32の形状は、図示するように角柱であってもよいし、又は円柱であってもよい。

【0025】半導体柱32には、この半導体柱32を複数段に分ける素子分離絶縁膜25が形成されている。この複数段を構成する素子分離絶縁膜25の各段は、列方向の半導体柱32に共通して棚状に形成されている。

【0026】半導体柱32の側壁であって、素子分離絶縁膜25の各段には、それぞれ1個のセルが形成されている。なお、一つの半導体柱32には、複数個（例えば11個）のセルが直列接続される。

【0027】素子分離絶縁膜25の各段のうち、最上段と最下段に形成されるセルは、選択ゲート33-1、33-2である。選択ゲート33-1、33-2は、それぞれ半導体柱32の側壁に絶縁膜34を介して形成されるポリシリコン電極35を有している。このポリシリコン電極35は、例えばワード線が延在する方向にある半導体柱32の最下段又は最上段の選択ゲートに共通しており、かつ、各段において、それぞれ列方向に帯状に形成されている。

【0028】ポリシリコン電極35の列方向の端部の所定の箇所には、コンタクト部36が形成されている。なお、図4(a)は、選択ゲートのポリシリコン電極35のみを取り出して示すものである。

【0029】半導体柱32の側壁において、選択ゲート33-1、33-2が形成される最下段及び最上段の間の各段にあるセルは、各々が1ビット分の記憶を蓄えることができるメモリセル37-1～37-9である。本実施例では、メモリセル37-1～37-9は、半導体柱32の側壁に9個形成されているが、この個数は任意に決めることができるものである。

【0030】メモリセル37-1～37-9は、各々が半導体柱32の側壁に絶縁膜（トンネル酸化膜）38を介して形成されるポリシリコン電極39を有している。このポリシリコン電極39の形状は、半導体柱32を取り囲むリング状である。ポリシリコン電極39は、フローティングゲートとしての機能を果たすものである。

【0031】各々のメモリセル37-1～37-9のポリシリコン電極39上には、絶縁膜40を介してポリシリコン電極41が形成されている。このポリシリコン電極41は、ワード線及びコントロールゲートとして機能するものである。ポリシリコン電極41は、最下段及び最上段の間の各段において、それが延在する方向にある半導体柱32の各段のメモリセルに共通しており、かつ、列方向に帯状に形成されている。

【0032】ポリシリコン電極41の列方向の端部は、階段状に形成されており、その階段状の部分における所定の箇所には、コンタクト部42が形成されている。な

お、図4(b)は、一つのポリシリコン電極(ワード線)41のみを取り出して示すものである。

【0033】各々のポリシリコン電極35、39の間には、第二導電型のソース・ドレイン拡散層43が形成されている。最下段の選択ゲート33-2の拡散層43は、半導体基板31中に形成された第二導電型のソース拡散層44に接続されている。半導体柱32の最上部には、第二導電型のドレイン拡散層45が形成されている。このドレイン拡散層45は、最上段の選択ゲート33-1の拡散層となっている。

【0034】半導体柱32は、絶縁膜46によって完全に覆われており、絶縁膜46の表面は平坦になっている。絶縁膜46には、半導体柱32の最上部にあるドレイン拡散層45に達するコンタクトホール47が形成されている。ビット線48は、絶縁膜46上に形成され、コンタクトホール47を介してドレイン拡散層45に接続されている。また、ビット線48は、ワード線であるポリシリコン電極41に直交して配線され、かつ、行方向の半導体柱32のドレイン拡散層45に共通して接続されている。

【0035】選択ゲートのポリシリコン電極35及びメモリのポリシリコン電極41は、半導体基板31上に絶縁膜49を介して積層されている。そこで、図1及び図3に示すように、これらポリシリコン電極35、41は、その端部において階段状となるように構成されている。従って、絶縁膜46に、各々のポリシリコン電極35、41に達するコンタクトホール50を設けることができ、配線材料51を各々のポリシリコン電極35、41に接続することができる。なお、52は、フィールド絶縁膜である。

【0036】上記構成によれば、NAND型EEPROMの各々のメモリセルは、半導体基板に対して垂直方向に伸びた半導体柱に形成されている。従って、従来の半導体基板に平面的にメモリセルが形成されていた場合に比べ、格段に高集積化(単位面積当たりのセル数の向上)を図ることができる。

【0037】次に、上記NAND型EEPROMの動作について説明する。データの消去時には、例えば選択ゲートのポリシリコン電極35及びメモリのポリシリコン電極41にそれぞれ接地電位(0V)を印加する。また、半導体基板31及び半導体柱32に正の高電位を印加する。これにより、リング状のポリシリコン電極39の電子が絶縁膜(トンネル酸化膜)38を介して半導体柱32へ抜け(F-Nトンネリング現象)、メモリセルの閾値 V_{th} が負になる。

【0038】データ“1”の書き込み時には、ビット線48には10Vを印加する。また、選択した(データを書き込む)メモリのポリシリコン電極41には20Vを印加し、非選択の(データを書き込まない)メモリのポリシリコン電極41には10Vを印加する。ま

た、最下端(ソース側)の選択ゲート33-2のポリシリコン電極35には接地電位(0V)を印加し、最上端(ドレイン側)の選択ゲート33-1のポリシリコン電極35には12Vを印加する。

【0039】これにより、選択したメモリのチャンネルとポリシリコン電極(コントロールゲート)41の間の電圧は、約13Vとなる。従って、電子は、半導体柱32から選択したメモリのポリシリコン電極(フローティングゲート)39へ注入され、メモリセルの閾値 V_{th} は、負のままに保たれる。

【0040】データ“0”の書き込み時には、ビット線48に接地電位(0V)を印加する。また、選択した(データを書き込む)メモリのポリシリコン電極41には20Vを印加し、非選択の(データを書き込まない)メモリのポリシリコン電極41には10Vを印加する。また、最下端(ソース側)の選択ゲート33-2のポリシリコン電極35には接地電位(0V)を印加し、最上端(ドレイン側)の選択ゲート33-1のポリシリコン電極35には12Vを印加する。

【0041】これにより、選択したメモリのチャンネルとポリシリコン電極(コントロールゲート)41の間の電圧は、約20Vとなる。従って、電子は、半導体柱32から選択したメモリのポリシリコン電極(フローティングゲート)39へ注入され、メモリセルの閾値 V_{th} は、正(但し、5V以下)となる。

【0042】データの読み出し時には、ビット線48に20V、ソース拡散層44には接地電位(0V)、選択した(データを読み出す)メモリのポリシリコン電極(ワード線)41には0Vを印加する。また、非選択の(データを読み出さない)メモリのポリシリコン電極(ワード線)41、並びに最下端(ソース側)及び最上端(ドレイン側)の選択ゲートのポリシリコン電極35には、それぞれ5Vを印加する。

【0043】これにより、選択したメモリのデータが“1”の場合、その閾値は負のため、当該メモリセルは導通状態(オン状態)となる。一方、選択したメモリのデータが“0”の場合、その閾値は正であるため、当該メモリセルは非導通状態(オフ状態)となる。なお、選択されていないメモリセルでは、ポリシリコン電極(ワード線)41の電位は5Vであるため、メモリセルに記憶されているデータが如何なる値(“1”又は“0”)であっても、導通状態(オン状態)となる。

【0044】次に、本発明の半導体記憶装置の製造方法について説明する。図5～図20は、本発明の一実施例に係わるNAND型EEPROMのセル構造の製造方法を示すものである。

【0045】まず、図5及び図6に示すように、第一導電型の半導体基板51の表面領域に、フィールド絶縁膜71を形成する。なお、図6は、図5のAの部分のBの方向から見た図である。半導体基板51の素子領域に、

10

20

30

40

50

NAND型EEPROMのメモリセルのソース拡散層50を形成する。

【0046】次に、第一導電型の半導体基板51上に、膜厚が約50nmの第一の絶縁膜（例えばシリコン窒化膜）52を形成する。第一の絶縁膜52上に、膜厚が約600nmの第二の絶縁膜（例えばシリコン酸化膜）53を形成する。この後、写真蝕刻技術とエッチング技術を用いて、例えば半導体基板51の列方向の端部（素子分離絶縁膜71上）において第二の絶縁膜53を部分的にエッチングする。

【0047】次に、第二の絶縁膜53上に、次の(i)及び(ii)の工程を1回以上（本実施例では8回）繰り返し実行することによって得られる積層膜を形成する。

【0048】(i) 膜厚が約50nmの第三の絶縁膜（例えばシリコン窒化膜）54を形成する。

(ii) 膜厚が約400nmの第四の絶縁膜（例えばシリコン酸化膜）55を形成する。

(iii) 第四の絶縁膜55を半導体基板の列方向の端部（素子分離絶縁膜71上）において部分的にエッチングする。

【0049】なお、上記(i)及び(ii)及び(iii)の工程を繰り返す回数は、NAND型EEPROMのメモリセルの枚に相当する。また、図6に示すように、第二及び第四の絶縁膜52、54は、半導体基板の列方向の端部において階段状となるようにエッチングされる。

【0050】また、この積層膜上に、膜厚が約50nmの第五の絶縁膜（例えばシリコン窒化膜）56を形成する。第五の絶縁膜56上に、膜厚が約600nmの第六の絶縁膜（例えばシリコン酸化膜）57を形成する。第六の絶縁膜57を半導体基板の列方向の端部において部分的にエッチングする。

【0051】また、第六の絶縁膜57上に、膜厚が約50nmの第七の絶縁膜（例えばシリコン窒化膜）58を形成する。第七の絶縁膜58上に、膜厚が約200nmの第八の絶縁膜（例えばシリコン酸化膜）59を形成する。

【0052】このような多層膜において、将来、膜厚が約600nmの第二及び第六の絶縁膜53、56の部分に選択ゲートが形成され、膜厚が約400nmの第四の絶縁膜55の部分にメモリセルが形成されることになる。なお、絶縁膜53、56の膜厚 d_1 と絶縁膜55の膜厚 d_2 の関係は、 $d_1 > d_2$ となるように設定する。この理由は、後の工程において説明する。

【0053】次に、図7に示すように、上述の多層膜に、その表面から半導体基板51まで達する穴60を形成する。この穴60内には、将来、半導体柱が形成されるため、当該半導体柱を角柱状にしたい場合には図示するような四角形状の穴を形成し、また、当該半導体柱を円柱状にしたい場合には円形状の穴を形成すればよい。

【0054】次に、図8に示すように、例えば加熱したリン酸を用いて、第一、第三、第五及び第七の絶縁膜（シリコン窒化膜）52、54、56、58を選択的にエッチングし、当該絶縁膜の部分に後退部61を形成する。この後退部61の長さ L_1 は、エッチング時間等を適宜調節することにより、例えば約300nmに設定する。

【0055】次に、図9に示すように、例えば弗化アンモニウムを用いて、第二、第四、第六及び第八の絶縁膜（シリコン酸化膜）53、55、57、59を選択的に50nm程度エッチングし、後退部61の幅 H_1 を広げる。この後退部61の幅 H_1 は、エッチング時間等を適宜調節することにより、例えば約150nm（絶縁膜52、54、56又は58の膜厚（50nm）+エッチング量（50nm）×2）に設定する。

【0056】次に、図10に示すように、全面に、膜厚が約50nmの第九の絶縁膜（シリコン窒化膜）62を形成する。この第九の絶縁膜62は、穴60の内面（後退部61を含む）に被着する。また、第九の絶縁膜62上に、第二導電型の不純物を含む膜厚が約150nmの第十の絶縁膜（例えばAsSG、PSGなど）63を形成する。この第十の絶縁膜63は、穴60の内面の第九の絶縁膜62上に被着し、後退部61を完全に埋め込む。

【0057】次に、図11に示すように、等方性エッチングにより、第九及び第十の絶縁膜62、63を比較的に短い時間でエッチングする。その結果、第九及び第十の絶縁膜62、63は、穴60内の後退部61のみに残存する。

【0058】なお、この時点において、穴60の内面近辺における絶縁膜53、56の膜厚（選択ゲートの形成予定部） d_3 は、約500nmであり、当該近辺における絶縁膜55の膜厚（メモリセルの形成予定部） d_4 は、約300nmである。

【0059】次に、図12に示すように、エピタキシャル成長により、穴60内に、半導体基板51から当該穴60の上端部まで伸びた第一導電型の半導体柱64を形成する。また、熱処理を行い、第十の絶縁膜63内に含まれる不純物（例えばAs、Pなど）を半導体柱64へ拡散させ、当該半導体柱64の側壁にリング状の複数のソース・ドレイン拡散層65を形成する。

【0060】次に、図13に示すように、異方性エッチングにより、多層膜を、列方向にストライプ状となるようにエッチングする。つまり、当該多層膜は、列方向に存在する半導体柱64を含むように、当該列方向に延在するようにして残存させる。

【0061】次に、図14及び図15に示すように、弗化アンモニウムを用いて、当該積層膜のうち第二、第四、第六及び第八の絶縁膜（シリコン酸化膜）53、55、57、59の部分を選択的にエッチング除去する。

その結果、当該積層膜のうち第一、第三、第五及び第七の絶縁膜（シリコン窒化膜）52、54、56、58の部分のみが残存し、これら絶縁膜は、帯状、かつ、列方向の半導体柱64に支えられた棚状となる。

【0062】なお、図15は、図14においてB方向から、半導体基板51の列方向の端部、即ち積層膜の階段部分を見た図である。次に、図16に示すように、熱酸化法を用いて、半導体柱64の表面（側壁部を含む）であって露出している部分に、メモリセルのトンネル絶縁膜としての機能を果たす第十一の絶縁膜66を約10nm形成する。

【0063】また、第一の導電膜（例えば、導電性のポリシリコン膜）67を約150nm形成する。その結果、図16に示すように、半導体柱64の部分において、第一の導電膜67は、第三の絶縁膜54の間（メモリセルの形成予定部MC）の隙間を完全に埋め込むことができるが、第一及び第三の絶縁膜52、54の間、並びに第五及び第七の絶縁膜56、58の間（選択ゲートの形成予定部SG）の隙間を完全に埋め込むことができない。

【0064】その理由は、選択ゲートの形成予定部SGの幅d3は、約500nmであるのに対し、メモリセルの形成予定部MCの幅d4は、約300nmであるからである（図11参照）。但し、メモリセルの形成予定部MCでは、半導体柱64から少し離れると、第三の絶縁膜54の間の幅d1が約400nmとなるため（図5参照）、第一の導電膜67は、この部分を完全に埋め込むことはできない。

【0065】次に、図17及び図18に示すように、等方性エッチングにより、第一の導電膜67及び第十一の絶縁膜66をエッチングし、当該第一の導電膜67及び第十一の絶縁膜66をメモリセルに形成予定部MCのみに残存させる。この残存した第一の導電膜67は、半導体柱64をリング状に取り巻く形となり、フローティングゲートとしての機能を果たすものとなる。

【0066】また、全面に、ONO（ $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$ ）絶縁膜68を約20nm形成する。このONO絶縁膜68は、半導体柱64の側壁（第一の導電膜67上を含む）に被着する。さらに、全面に、第二の導電膜（例えば、導電性のポリシリコン膜）69を約400nm形成する。

【0067】その結果、図17に示すように、半導体柱64の部分において、第二の導電膜69は、第三の絶縁膜54の間（第一の導電膜67上の広い部分）の隙間、第一及び第三の絶縁膜52、54の間、並びに第五及び第七の絶縁膜56、58の間（選択ゲートの形成予定部SG）の隙間を完全に埋め込む。

【0068】また、図18に示すように、半導体柱64以外の部分において、第二の導電膜69は、第三の絶縁膜54の間の隙間、第一及び第三の絶縁膜52、54の

間の隙間、並びに第五及び第七の絶縁膜56、58の間の隙間をそれぞれ完全に埋め込む。

【0069】次に、図19及び図20に示すように、等方性エッチングにより、第二の導電膜69を所定量だけエッチングする。その結果、第二の導電膜69は、メモリセルの形成予定部MC及び選択ゲートの形成予定部SGの双方、並びに半導体柱64以外の部分（半導体基板の列方向の端部の階段部分（図20参照）を含む）における絶縁膜52、54、56、58の隙間に残存する。

【0070】この残存した第二の導電膜69は、半導体基板51上において列方向に長い帯状となる。素子分離絶縁膜25の最上段及び最下段に残存する第二の導電膜69は、選択ゲートの選択ゲート線としての機能を果たすものとなる。最上段及び最下段の間の各段に残存する第二の導電膜69は、メモリセルのワード線及びコントロールゲートとしての機能を果たすものとなる。

【0071】また、半導体柱64の最上部に、最上部の選択ゲートの第二の導電膜（ゲート電極）69の部分まで達する第二導電型のドレイン拡散層70を形成する。全面に、半導体柱64を完全に埋め込む第十二の絶縁膜72を形成する。第十二の絶縁膜72は、その表面が平坦になるように、十分な膜厚で形成する。

【0072】また、第十二の絶縁膜72に、ドレイン拡散層70に達するコンタクトホールを開け、ビット線を配線し、かつ、ワード線及び選択ゲート線の端部（階段部）において当該ワード線及び選択ゲート線に達するコンタクトホールを開け、配線材料73を形成すれば、図1～図4に示すNAND型EEPROMのセル構造を得ることができる。

【0073】

【発明の効果】以上、説明したように、本発明の半導体記憶装置及びその製造方法によれば、次のような効果を奏する。従来、平面的にメモリセルが形成されていたのに対し、半導体基板上に半導体柱を形成し、この半導体柱の側壁に、即ち立体的にメモリセルを形成している。従って、従来に比べ、格段に、集積度の向上（単位面積当たりのセル数の増大）を図ることができ、写真蝕刻技術の改善にたよることなく、次世代におけるLSIに貢献することができる。

【0074】また、当該セル構造を提供するにあたっては、半導体柱を利用することにより、自己整合的な工程を達成することができるため、簡単に、上記構造を提供できる。しかも、製造工程中、等方性エッチングが主として用いられるため、加工も行い易くなる。

【図面の簡単な説明】

【図1】本発明の一実施例であるNAND型EEPROMのセル構造を示す平面図。

【図2】図1のIII-III'線に沿う断面図、

【図3】図1のIV-IV'線に沿う断面図、

【図4】図1のワード線部分のみを取り出して示す図、

【図5】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す斜視図。

【図6】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図7】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す斜視図。

【図8】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図9】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図10】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図11】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図12】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図13】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す斜視図。

【図14】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す斜視図。

【図15】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図16】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図17】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図18】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

【図19】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

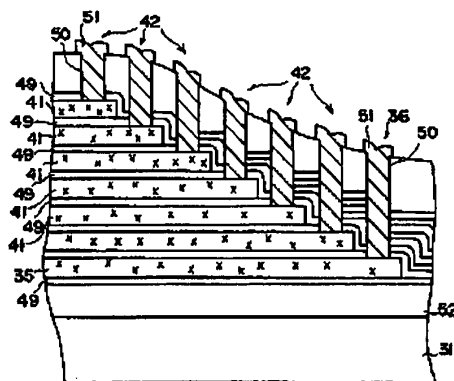
【図20】本発明の一実施例であるNAND型EEPROMのセル構造の製造方法を示す断面図。

* 【図21】従来のNAND型EEPROMのセル構造を示す図。

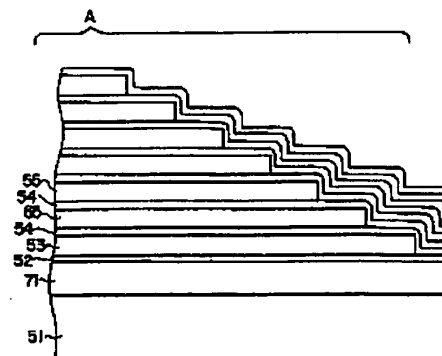
【符号の説明】

- | | |
|---|------------------------|
| 11, 31, 51 | …半導体基板、 |
| 12 | …ウェル、 |
| 13, 52, 71 | …フィールド絶縁膜、 |
| 14, 38 | …トンネル絶縁膜、 |
| 15, 39 | …ポリシリコン電極（フローティングゲート）、 |
| 16, 34, 40, 46, 49, 52~59, 62, 63, 66, 72 | …絶縁膜、 |
| 17, 41 | …ポリシリコン電極（コントロールゲート）、 |
| 18, 43, 65 | …ソース・ドレイン拡散層、 |
| 19 | …ビット線、 |
| 25 | …素子分離絶縁膜、 |
| 32, 64 | …半導体柱、 |
| 33-1, 33-2 | …選択ゲート、 |
| 35 | …ポリシリコン電極（選択ゲート）、 |
| 36, 42 | …コンタクト部、 |
| 37-1~37-9 | …メモリセル、 |
| 44, 50 | …ソース拡散層、 |
| 45, 70 | …ドレイン拡散層、 |
| 47, 50 | …コンタクトホール、 |
| 48 | …ビット線、 |
| 51, 73 | …配線材料、 |
| 60 | …穴、 |
| 61 | …後退部、 |
| 67, 69 | …導電膜、 |
| 68 | …ONO絶縁膜、 |

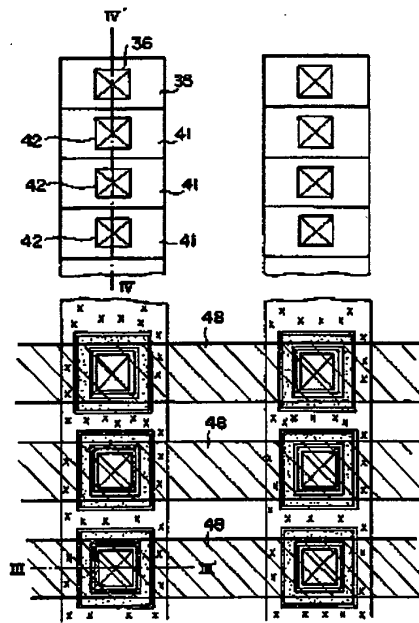
【図3】



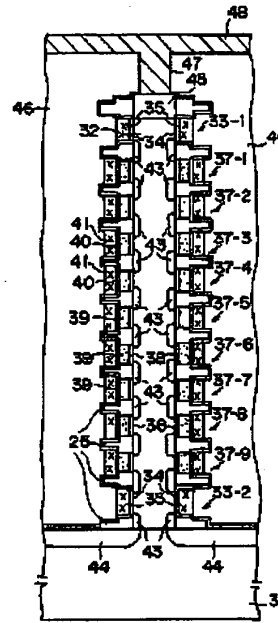
【図6】



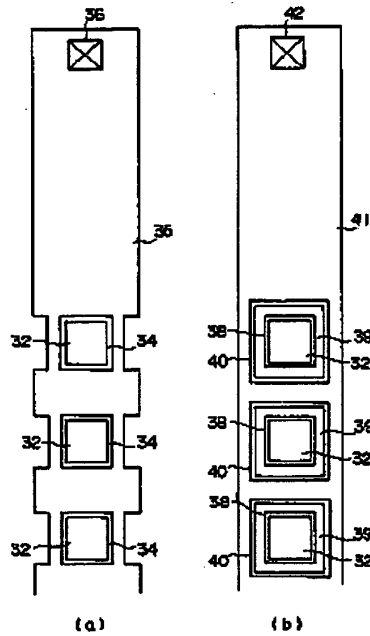
【図1】



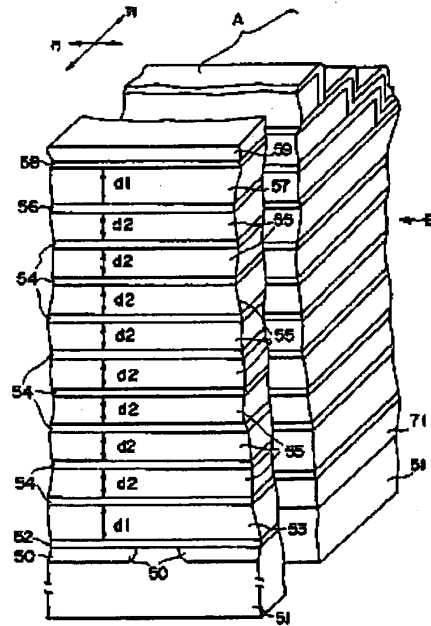
【図2】



【図4】



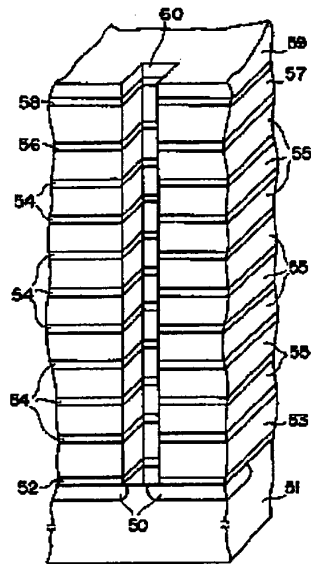
【図5】



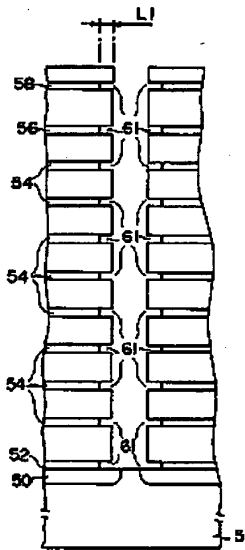
(11)

特開平6-338602

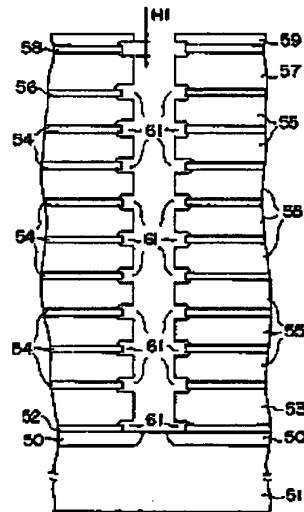
【図7】



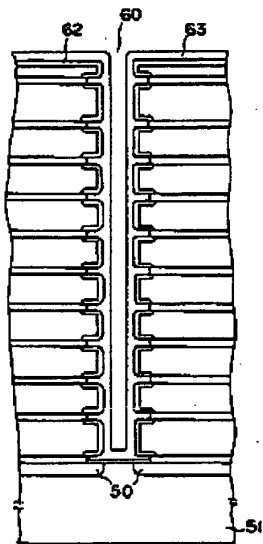
【図8】



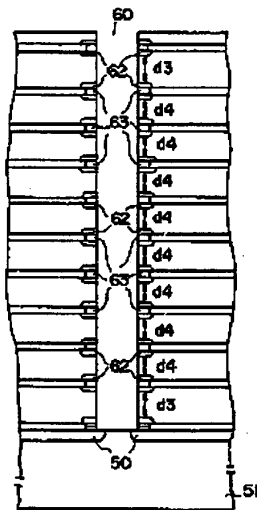
【図9】



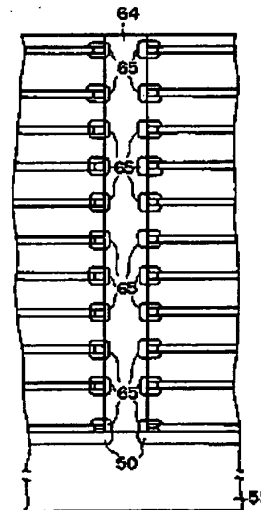
【図10】



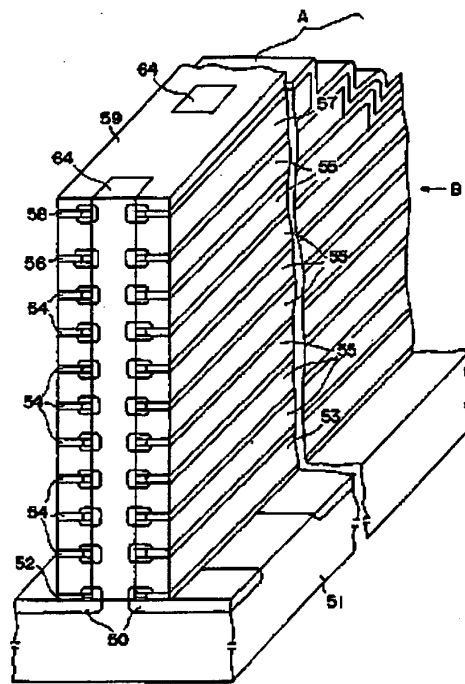
【図11】



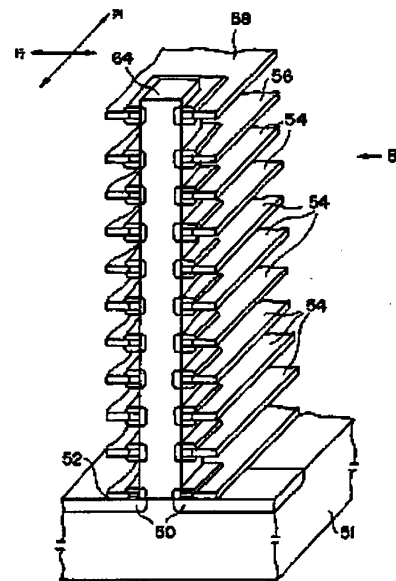
【図12】



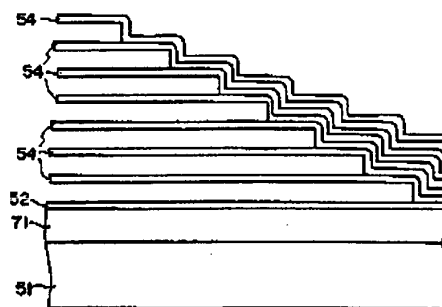
【図13】



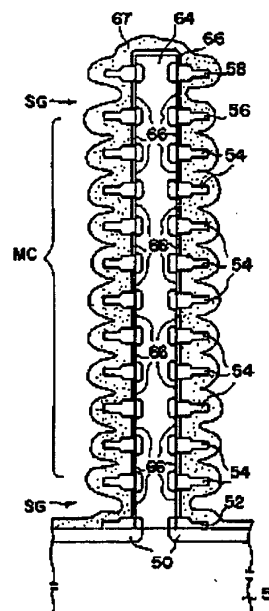
【図14】



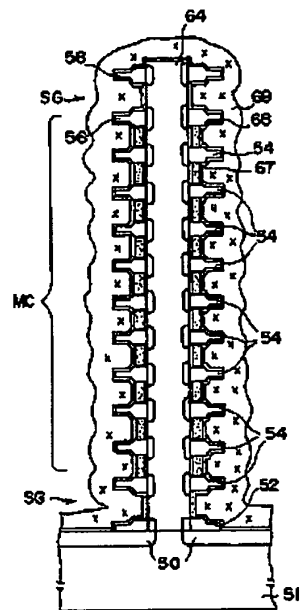
【図15】



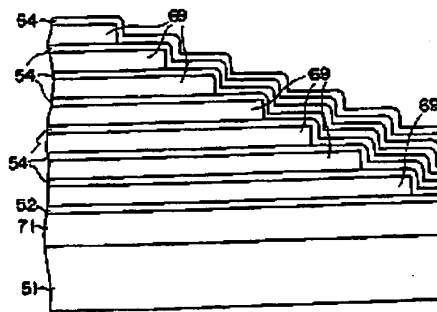
【図16】



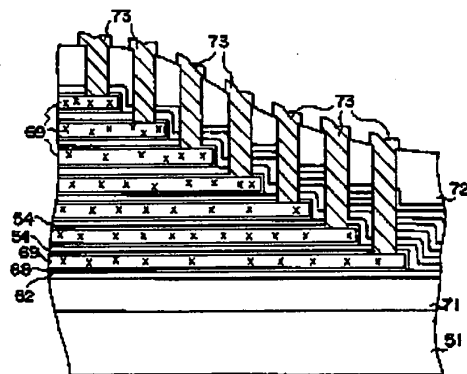
【図17】



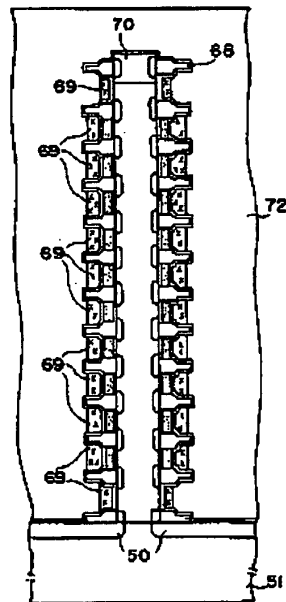
【図18】



【図20】



【図19】



【図21】

